

---

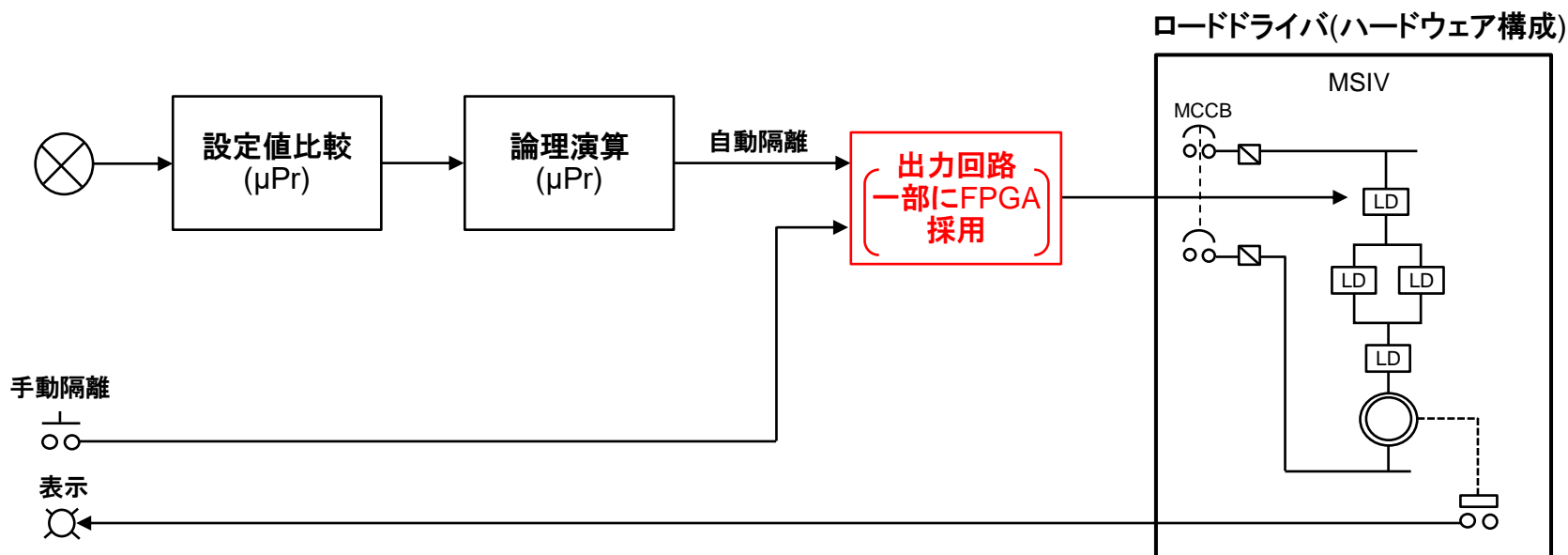
# 柏崎刈羽原子力発電所 第7号機 MSIV出力回路におけるFPGA使用

2023/12/7

株式会社 日立製作所 制御プラットフォーム統括本部  
原子力・発電制御システム本部  
原子力制御システム設計部

## 1.1 MSIV閉回路におけるFPGA採用

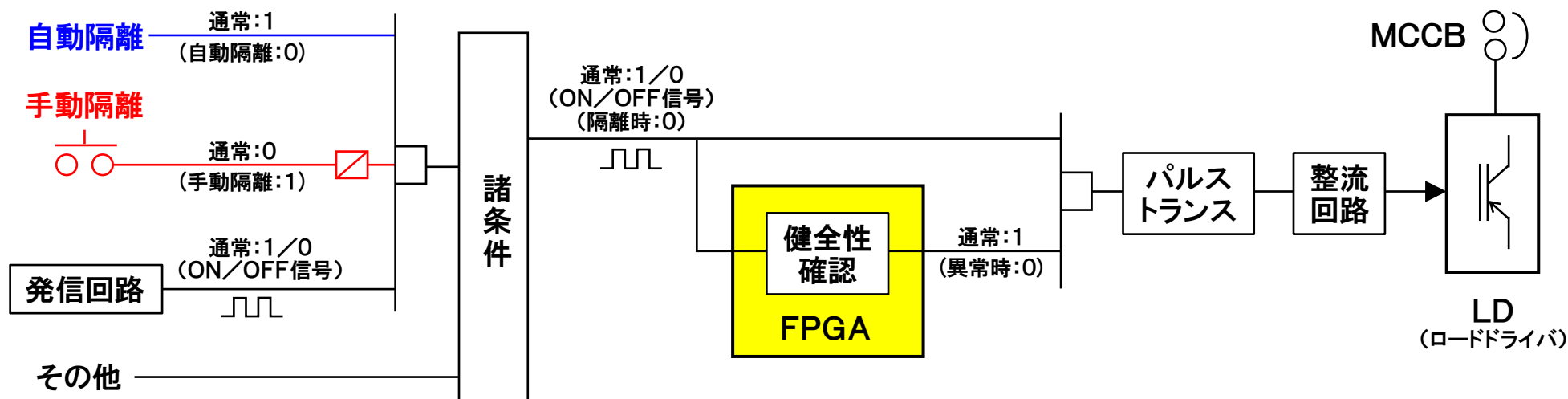
- ✓ MSIVにおける出力回路の一部にFPGAを採用。(詳細を次紙に示す)
- ✓ ABWR初号機である柏崎刈羽原子力発電所7号機の建設当時における設計ではPALを採用。



- ✓ 適用サイト(変遷)  
 柏崎7号:建設当時 1990年代 (PAL) → 志賀2号、島根3号、大間1号 2000年代以降 (FPGA) → 柏崎7号:更新時 2000年代以降と同様 (FPGA)

## 1.2 出力回路におけるFPGA処理

- ✓ FPGA(黄色部)では、ON/OFF信号の健全性確認(※)を実施。  
※ ONまたはOFFにおける信号幅を確認
- ✓ 黄色部以外はハードウェア構成を示す。
- ✓ 自動隔離および手動隔離の信号が出力された際において、FPGAが故障した場合、MSIVは閉動作となるため、FPGAが安全機能を阻害することはない。



青字:  $\mu$  Pr(設定値比較、論理回路)からの自動隔離信号  
赤字: 手動隔離信号(多様化設備)

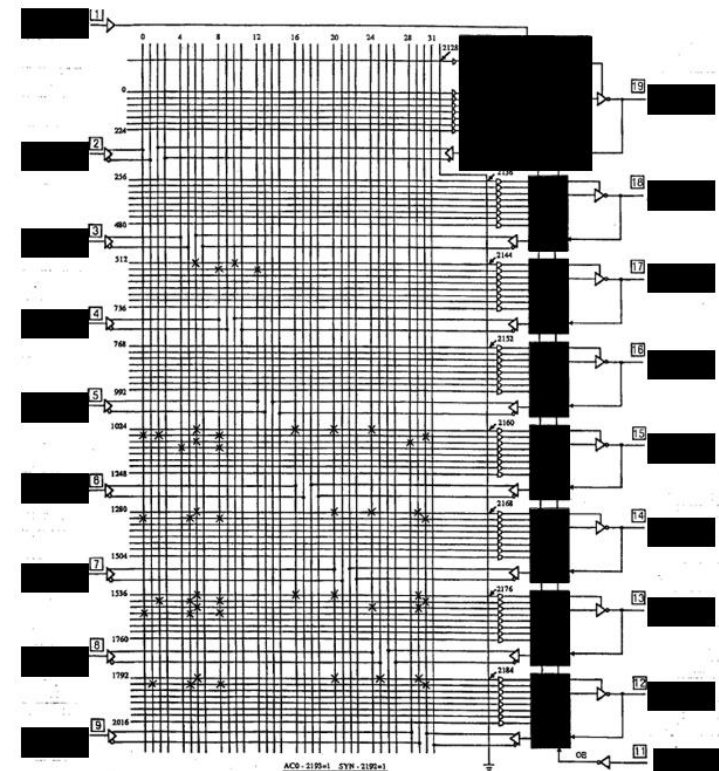
## 1.3 PAL と FPGA 違い

### 1.3.1 処理内容

- ✓ 建設当時は、健全性確認(ONまたはOFFの信号幅を確認)における機能の一部をPAL、それ以外はハードウェアで構成していた。
- ✓ 更新後は、PAL+ハードウェアで構成していた健全性確認の機能を全てFPGAで実施している。(2000年代以降のABWRプラントよりFPGA採用)

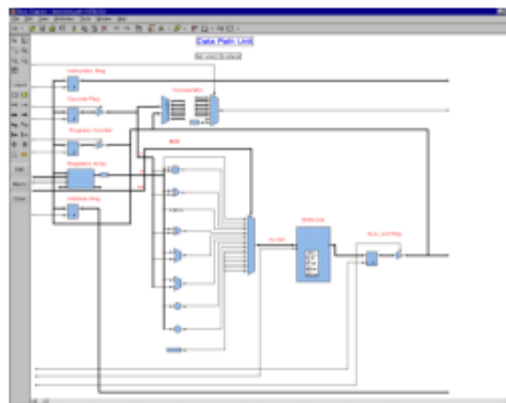
### 1.3.2 ① PAL作成方法

- ✓ イメージ図を右図に示す。
- ✓ 左端が入力端子、右端が出力端子を示し、出力部の回路は標準として備え付けられている。
- ✓ 入力端子と出力端子の間に縦横線があり、すべての入出力端子がクロスしている。
- ✓ 必要な回路(出力端子)に対する、入力端子とのクロス点を設定することで、構築可能となる。
- ✓ このクロス点はAND条件となる。

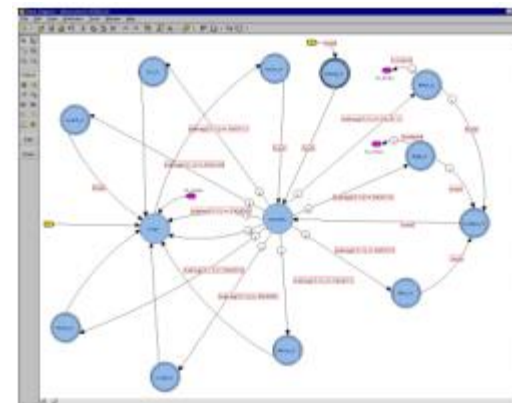


## 1.3.2 ② FPGA作成方法

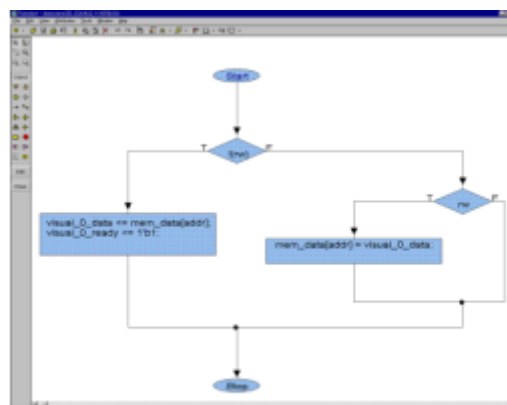
- ✓ イメージ図を右図に示す。
- ✓ 下記などを使用して仕様設計を行う。(コーディング)
  - ブロックダイアグラム
  - ステートマシン
  - フローチャート
  - 真理値長
- ✓ 配置(レイアウト)および接続するための配線経路を決定する。
- ✓ コンパイル(論理合成、配置配線)にて整合性を確認する。



① ブロックダイアグラム



② ステートマシン (状態遷移図)



③ フローチャート

④ 真理値長

## FPGAの一般例

### 1.3.3 検証方法

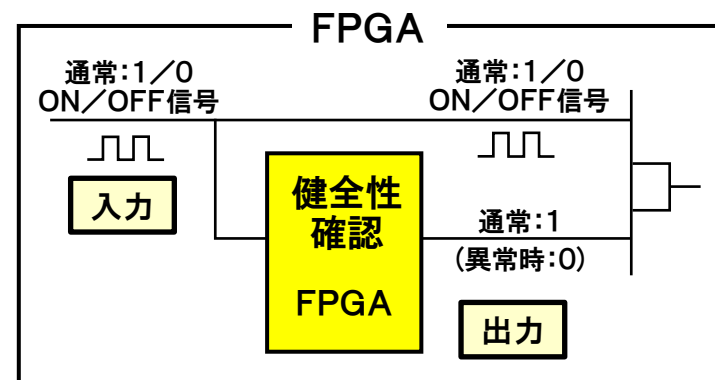
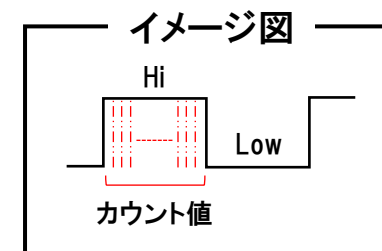
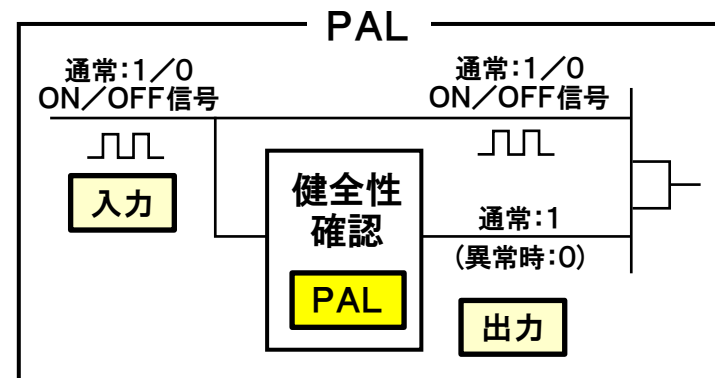
- ✓ 健全性確認(ONまたはOFFにおける信号幅の確認)の処理は、大きく2つに分けることができる。
  - a. ON/OFF(Hi/Low)信号のカウント処理
  - b. カウント値に対する判定処理
- ✓ 設計検証、実装検証、システム検証につき、下記に示す。

#### ①-1 設計検証:PAL(図中:黄色)

- ・健全性確認における一部(上記 b部)にPALを使用している。
- 右図(イメージ図)の Hi ⇒ Low(または Low ⇒ Hi)へ切り替わるまでのカウント値(ビット信号)が判定値「未満」or「以上」を出力する
- ・PALの特性上、入力信号の単純な組合せ論理(AND条件)となることから机上チェックを実施(PALの出力部は標準ハード回路)

#### ①-2 設計検証:FPGA(図中:黄色)

- ・健全性確認における全体(上記 a部+b部)での処理を実施
- ・パルス変調(入力)に対する健全性出力の確認をシミュレーションを用いて検証を実施



## ②実装検証(図中:ピンク色)

- ・基板に実装した状態で、パルス変調(入力)による整流回路 後段のLDへの電圧確認など  
基板による機能検証を実施
- ・PAL と FPGAで、検証方法は同様

## ③システム検証(図中:水色)

- ・その他の基板に対する単体での機能検証(図中:灰色)を実施後、TLU、DTMなどを含めた安全保護系システムとしての検証を実施

